

DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

010325374    \*\*Image available\*\*  
WPI Acc No: 1995-226648/199530  
Related WPI Acc No: 1999-496068; 2002-259175  
XRPX Acc No: N95-177591

Film type electron emitters and image forming apparatus - has  
electroconducting film between opposing electrodes on substrate with film  
having high resistance emitter region

Patent Assignee: CANON KK (CANO )

Inventor: BANNO Y; MITOME M; NOMURA I; OHNISHI T; ONO T; SUZUKI H; YAMANOBE  
M

Number of Countries: 022 Number of Patents: 030

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 660357	A1	19950628	EP 94109787	A	19940623	199530	B
AU 9465922	A	19950706	AU 9465922	A	19940623	199534	
CA 2126509	A	19950628	CA 2126509	A	19940622	199539	
JP 7192614	A	19950728	JP 93331103	A	19931227	199539	
JP 7235255	A	19950905	JP 94141670	A	19940623	199544	
JP 8007749	A	19960112	JP 94137317	A	19940620	199611	
CN 1109206	A	19950927	CN 94109010	A	19940624	199734	
AU 9856283	A	19980521	AU 9465922	A	19940623	199832	
			AU 9856283	A	19980224		
KR 154358	B1	19981015	KR 9414559	A	19940624	200027	
CA 2299957	A1	19950628	CA 2126509	A	19940622	200037	
			CA 2299957	A	19940622		
CA 2126509	C	20000523	CA 2126509	A	19940622	200039	
AU 724811	B	20000928	AU 9465922	A	19940623	200053	
			AU 9856283	A	19980224		
AU 200048850	A	20001102	AU 9856283	A	19980224	200062	N
			AU 200048850	A	20000727		
AU 200048851	A	20001102	AU 9856283	A	19980224	200062	N
			AU 200048851	A	20000727		
US 6169356	B1	20010102	US 94264497	A	19940623	200103	
KR 170822	B1	19991001	KR 9414559	A	19940624	200108	
			KR 9814201	A	19980421		
CN 1280376	A	20010117	CN 94109010	A	19940624	200128	
			CN 2000108379	A	19940624		
CN 1281239	A	20010124	CN 94109010	A	19940624	200130	
			CN 2000108565	A	19940624		
JP 3200270	B2	20010820	JP 93331103	A	19931227	200149	
JP 3200284	B2	20010820	JP 94137317	A	19940620	200149	
US 6344711	B1	20020205	US 94264497	A	19940623	200211	
			US 2000513841	A	20000225		
US 6384541	B1	20020507	US 94264497	A	19940623	200235	
			US 99332100	A	19990614		
AU 747308	B	20020516	AU 9856283	A	19980224	200244	N
			AU 200048851	A	20000726		
AU 747313	B	20020516	AU 9856283	A	19980224	200244	N
			AU 200048850	A	20000726		
JP 2003007204	A	20030110	JP 94141670	A	19940623	200315	
			JP 2002131528	A	19940623		
EP 660357	B1	20030409	EP 94109787	A	19940623	200325	
			EP 99112412	A	19940623		
			EP 2001104026	A	19940623		

CA 2418595	A1	19950628	CA 2299957	A	19940622	200330
			CA 2418595	A	19940622	
CA 2299957	C	20030429	CA 2126509	A	19940622	200337
			CA 2299957	A	19940622	
JP 3416266	B2	20030616	JP 94141670	A	19940623	200340
DE 69432456	E	20030515	DE 632456	A	19940623	200340
			EP 94109787	A	19940623	

Priority Applications (No Type Date): JP 94137317 A 19940620; JP 93331103 A 19931227; JP 93335925 A 19931228; AU 200048850 A 20000727; AU 200048851 A 20000727

Cited Patents: 1.Jnl.Ref; EP 536731; JP 1309242

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 660357	A1	E	449	H01J-001/30	
-----------	----	---	-----	-------------	--

Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU NL PT SE

AU 9465922	A			H01J-031/10	
CA 2126509	A			H01J-001/02	
JP 7192614	A	14		H01J-009/02	
JP 7235255	A	24		H01J-001/30	
JP 8007749	A	23		H01J-009/02	
CN 1109206	A			H01J-029/04	
AU 9856283	A			H01J-031/10	Div ex application AU 9465922
KR 154358	B1			H01J-009/02	
CA 2299957	A1	E		H01J-001/308	Div ex application CA 2126509
CA 2126509	C	E		H01J-001/02	
AU 724811	B			H01J-031/10	Div ex application AU 9465922 Previous Publ. patent AU 9856283
AU 200048850	A			H01J-029/00	Div ex application AU 9856283 Div ex patent AU 724811
AU 200048851	A			H01J-029/00	Div ex application AU 9856283 Div ex patent AU 724811
US 6169356	B1			H01J-021/10	
KR 170822	B1			H01J-001/30	Div ex application KR 9414559
CN 1280376	A			H01J-009/02	Div ex application CN 94109010
CN 1281239	A			H01J-001/30	Div ex application CN 94109010
JP 3200270	B2	13		H01J-009/02	Previous Publ. patent JP 7192614
JP 3200284	B2	23		H01J-009/02	Previous Publ. patent JP 8007749
US 6344711	B1			H01J-001/30	Div ex application US 94264497
US 6384541	B1			G09G-003/10	Div ex application US 94264497 Div ex patent US 6169356
AU 747308	B			H01J-029/00	Div ex application AU 9856283 Previous Publ. patent AU 200048851 Div ex patent AU 724811
AU 747313	B			H01J-029/00	Div ex application AU 9856283 Previous Publ. patent AU 200048850 Div ex patent AU 724811
JP 2003007204	A	24		H01J-009/02	Div ex application JP 94141670
EP 660357	B1	E		H01J-001/30	Related to application EP 99112412 Related to application EP 2001104026 Related to patent EP 1124248 Related to patent EP 942449

Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU NL PT SE

CA 2418595	A1	E		H01J-009/02	Div ex application CA 2299957
CA 2299957	C	E		H01J-001/308	Div ex application CA 2126509

JP 3416266 B2 24 H01J-001/316 Previous Publ. patent JP 7235255  
DE 69432456 E H01J-001/30 Based on patent EP 660357

Abstract (Basic): EP 660357 A

The electron emitter has a pair of oppositely placed electrodes (5,6), with an electroconducting film (4) between. The film includes a high resistance region (3), principally containing a carbon deposit, acting as the electron emitting region. This may also be on the adjacent film. The device may be either a flat type surface conducting emitter, on a substrate (1), or a step type.

The carbon deposit may be close to the higher potential electrode and the electroconducting film formed of fine particles of metal, or metal oxide. The electrodes may be partly carbon deposit coated, of graphite, amorphous carbon or a mixture. The device may comprise a number of emitters in rows, with wiring at each end and the emitted electron beams modulated.

USE/ADVANTAGE - Flat panel displays, e.g. flat television. Stable electron emission, low energy consumption, easy control.

Dwg.1A/27

Title Terms: FILM; TYPE; ELECTRON; EMITTER; IMAGE; FORMING; APPARATUS;  
ELECTROCONDUCTING; FILM; OPPOSED; ELECTRODE; SUBSTRATE; FILM; HIGH;  
RESISTANCE; EMITTER; REGION

Derwent Class: P85; T04; V05

International Patent Class (Main): G09G-003/10; H01J-001/02; H01J-001/30;  
H01J-001/308; H01J-001/316; H01J-009/02; H01J-021/10; H01J-029/00;  
H01J-029/04; H01J-031/10

International Patent Class (Additional): H01J-029/24; H01J-029/46;  
H01J-031/00; H01J-031/12; H01J-031/15

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-H03B; V05-D01C5; V05-D05C5A; V05-L01A3A;  
V05-L03C7



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-235255

(43)公開日 平成7年(1995)9月5日

(51)IntCl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30	A		
	9/02	B		
	31/12	B		
	31/15	C		

審査請求 未請求 請求項の数30 OL (全 24 頁)

(21)出願番号 特願平6-141670

(22)出願日 平成6年(1994)6月23日

(31)優先権主張番号 特願平5-335925

(32)優先日 平5(1993)12月28日

(33)優先権主張国 日本 (J P)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 山野辺 正人

東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内

(72)発明者 野村 一郎

東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内

(72)発明者 鯉 英俊

東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内

(74)代理人 弁理士 丸島 儀一

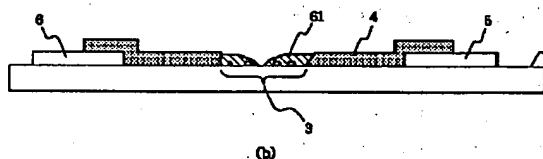
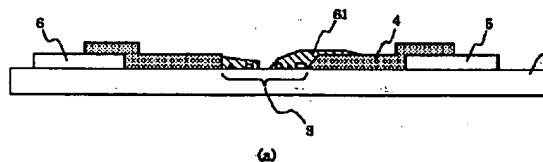
最終頁に続く

(54)【発明の名称】 電子放出素子とその製造方法、及び該電子放出素子を用いた電子源及び画像形成装置

(57)【要約】 (修正有)

【目的】 効率の高い表面伝導形電子放出素子の新規な構成とその製造方法、及び、該素子を用いた電子源と画像形成方法を提供する。

【構成】 対向する電極5、6間に、高抵抗部を含む導電性膜4を有する電子放出素子において、該高抵抗部に、炭素を主成分とする堆積物61を有することを特徴とする電子放出素子と、その製造方法、及び該素子を用いた電子源及び画像形成装置。



## 【特許請求の範囲】

【請求項1】 対向する電極間に、高抵抗部を含む導電性膜を有する電子放出素子において、該高抵抗部に、炭素を主成分とする堆積物を有することを特徴とする電子放出素子。

【請求項2】 前記炭素を主成分とする堆積物は、更に、該高抵抗部の近傍に存在する請求項1に記載の電子放出素子。

【請求項3】 前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記導電性膜上に存在する請求項2 10 に記載の電子放出素子。

【請求項4】 前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記電極のうちの一方の電極側の導電性膜上に偏在する請求項3に記載の電子放出素子。

【請求項5】 前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記電極のうちの高電位電極側の導電性膜上に偏在する請求項4に記載の電子放出素子。

【請求項6】 前記導電性膜は、導電性微粒子よりなる請求項1に記載の電子放出素子。

【請求項7】 前記導電性微粒子は、金属あるいは金属 20 酸化物である請求項6に記載の電子放出素子。

【請求項8】 前記導電性微粒子は、少なくともその一部が前記堆積物により被覆されている請求項6に記載の電子放出素子。

【請求項9】 前記高抵抗部は、導電性微粒子を有する請求項1に記載の電子放出素子。

【請求項10】 前記導電性微粒子は、少なくともその一部が前記堆積物により被覆されている請求項9に記載の電子放出素子。

【請求項11】 前記炭素を主成分とする堆積物は、前 30 記電極の少なくとも一部を被覆する請求項1に記載の電子放出素子。

【請求項12】 前記炭素を主成分とする堆積物は、グラファイト、アモルファスカーボンあるいはそれらの混合物である請求項1に記載の電子放出素子。

【請求項13】 前記電極間に印加される電圧に対して電子放出電流は、単調増加特性を有する請求項1に記載の電子放出素子。

【請求項14】 電子放出素子を有し、入力信号に応じて電子を放出する電子源において、前記電子放出素子が 40 請求項1～13のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項15】 前記電子放出素子を複数有し、該複数の電子放出素子の各々の両端を配線にて接続した電子放出素子の行を複数行と、該電子放出素子より放出される電子線の変調を行う変調手段とを有する請求項14に記載の電子源。

【請求項16】 前記電子放出素子を複数有し、該複数の電子放出素子が互いに電気的に絶縁されたm本のX方向配線とn方向配線とに接続し並設されている請求項1 50

4に記載の電子源。

【請求項17】 電子源と画像形成部材とを有し、入力信号に応じて画像形成する画像形成装置において、前記電子源が電子放出素子を有し、該電子放出素子が請求項1～13のいずれかに記載の電子放出素子であることを特徴とする画像形成装置。

【請求項18】 前記電子源が、前記電子放出素子を複数有し、該複数の電子放出素子の各々の両端を配線にて接続した電子放出素子の行を複数行と、該電子放出素子より放出される電子線の変調を行う変調手段とを有する電子源である請求項17に記載の画像形成装置。

【請求項19】 前記電子源が、前記電子放出素子を複数有し、該複数の電子放出素子が互いに電気的に絶縁されたm本のX方向配線とn方向配線とに接続し並設されている電子源である請求項17に記載の画像形成装置。

【請求項20】 前記電子源の放出電流及び素子電流が、素子印加電圧に対して、単調増加特性を有する請求項17に記載の画像形成装置。

【請求項21】 画像形成装置内が、前記炭素を主成分とする堆積物の新たな堆積を防止する真空度に維持されている請求項17に記載の画像形成装置。

【請求項22】 対向する電極間に、電子放出部を含む導電性膜を有する電子放出素子の製造方法において、素子の活性化工程を有することを特徴とする電子放出素子の製造方法。

【請求項23】 前記活性化工程は、前記素子に炭素を主成分とする堆積物を堆積させる工程である請求項22に記載の電子放出素子の製造方法。

【請求項24】 前記活性化工程は、真空中にて、電極間に設けられた導電性膜に電圧を印加する工程を有する請求項23に記載の電子放出素子の製造方法。

【請求項25】 前記電圧は、パルス状で印加される請求項24に記載の電子放出素子の製造方法。

【請求項26】 前記電圧は、電圧制御型負性抵抗特性領域以上の電圧である請求項25に記載の電子放出素子の製造方法。

【請求項27】 前記電圧は、電子放出素子の駆動電圧である請求項26に記載の電子放出素子の製造方法。

【請求項28】 更に、フォーミング工程を有する請求項22に記載の電子放出素子の製造方法。

【請求項29】 前記フォーミング工程は、電極間に設けられた導電性膜に、高抵抗部を形成する工程である請求項28に記載の電子放出素子の製造方法。

【請求項30】 前記活性化工程は、前記フォーミング工程の後に行われる請求項22に記載の電子放出素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子源およびその応用である表示装置等の画像形成装置にかかわり、特に、新

3

規な構成の表面伝導型電子放出素子、それを用いた電子源および、その応用である表示装置等の画像形成装置に関する。

【0002】

【従来の技術】従来、電子放出素子として熱電子源と冷陰極電子源の2種類が知られている。冷陰極電子には電子放出型（以下FE型と略す）、金属/絶縁層/金属型（以下MIM型と略す）や表面伝導型電子放出素子等がある。

【0003】FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) あるいはC. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等が知られている。

【0004】MIM型の例としてはC. A. Mead, "The tunnel-emission amplifier", J. Appl. Phys., 32, 646 (1961) 等が知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, (1965) 等がある。

【0006】表面伝導型電子放出素子は基板上に形成された小面積の薄膜に、膜面に並行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO<sub>2</sub>薄膜を用いたもの、Au薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)], In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub>薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)], カーボン薄膜によるもの [荒木久他: 真空, 第26巻, 第1号, 222頁 (1983)] 等が報告されている。

【0007】これらの表面伝導型電子放出素子の典型的な素子構成として前述のM. ハートウェルの素子構成を図18に示す。同図において1は絶縁性基板である。2は電子放出部形成用薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜等からなり、後述のフォーミングと呼ばれる通電処理により電子放出部3が形成される。4は電子放出部を含む薄膜と呼ぶことにする。尚、図中のL1は、0.5~1mm、Wは、0.1mmで設定されている。

【0008】従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に電子放出部形成用薄膜2を予めフォーミングと呼ばれる通電処理によって電子放出部3を形成するのが一般的であった。即ち、フォーミ

4

ングとは前記電子放出部形成用薄膜2の両端に直流電圧あるいは非常にゆっくりとした昇電圧例えば1V/分程度を印加通過し、電子放出形成用薄膜を局部的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部3を形成することである。尚、電子放出部3は電子放出部形成用薄膜2の一部に亀裂が発生しその亀裂付近から電子放出が行われる。以下フォーミングにより形成した電子放出部を含む電子放出部形成用薄膜2を電子放出部を含む薄膜4と呼ぶ。前記フォーミング処理をした表面伝導型電子放出素子は、上述電子放出部を含む薄膜4に電圧を印加し、素子に電流を流すことにより、上述電子放出部3より電子を放出せしめるものである。

【0009】しかしながら、これら従来の表面伝導型電子放出素子においては、実用化にあたっては、様々の問題があったが、本出願人等は、後述する様な様々な改善を鋭意検討し、実用化上の様々な問題点を解決してきた。

【0010】上述の表面伝導型電子放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置等があげられる。

【0011】多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線にてそれぞれ結線した行を多数行配列した電子源があげられる。（例えば、特開昭64-31332号公報、特開平1-283749号公報、特開平1-257552号公報）また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が、CRTに替わって、普及してきたが、自発光型でないため、バックライト等を持たなければならない等の問題点があり、自発光型の表示装置の開発が、望まれてきた。表面伝導型電子放出素子を多数配置した電子源と電子源より放出された電子によって、可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置は、大画面の装置でも比較的容易に製造でき、かつ表示品位の優れた自発光型表示装置である（例えば、USP5066883号）。

【0012】尚、従来、多数の表面伝導型電子放出素子より構成された電子源より、電子放出をし、蛍光体の発光をさせる素子の選択は、上述の多数の表面伝導型電子放出素子を並列に配置し結線した配線（行方向配線と呼ぶ）、行配線と直交する方向に（列方向と呼ぶ）、該電子源と蛍光対間の空間に設置された制御電極（グリッドと呼ぶ）と列方向配線への適当な駆動信号によるものである（例えば、特開平1-283749号公報等）。

【0013】

【発明が解決しようとしている課題】しかしながら、前記電子源、画像形成装置等に用いられる表面伝導型電子

放出素子の真空中の挙動は、殆ど判っておらず、安定で制御された電子放出特性、及びその効率の向上が、望まれてきた。

【0014】ここで効率とは、表面伝導型電子放出素子の一对の対向する素子電極に電圧を印加したとき、流れる電流（以下、素子電流  $I_f$  と呼ぶ）に対する真空中に放出される電流（以下、放出電流  $I_e$  と呼ぶ）との電流比をさす。

【0015】つまり、素子電流はできるだけ小さく、放出電流はできるだけ大きいことが望ましい。

【0016】安定で制御された電子放出特性と効率の向上がなされれば、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置、例えば、フラットテレビが実現される。また、低電流化にともない、画像形成装置を構成する駆動回路等も安価になることも期待できる。本発明は、上記問題を鑑み、安定で制御され、素子電流はできるだけ小さく且つ放出電流はできるだけ大きい、効率の高い電子放出素子の新規な構成とその製造方法及びそれを用いた電子源及び画像形成装置を提供するものである。

【0017】

【課題を解決するための手段】上記課題を解決する、本発明の電子放出素子は、対向する電極間に、高抵抗部を含む導電性膜を有する電子放出素子において、該高抵抗部に、炭素を主成分とする堆積物を有することを特徴とする電子放出素子であり、好ましくは前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記導電性膜上に存在する電子放出素子であり、更に好ましくは、前記炭素を主成分とする堆積物は、前記高抵抗部の一部から前記電極のうちの高電位電極側の導電性膜上に偏在する電子放出素子である。

【0018】また上記電子放出素子の製造方法は、対向する電極間に、電子放出部を含む導電性膜を有する電子放出素子の製造方法において、素子の活性化工程を有することを特徴とする電子放出素子の製造方法であり、ここで言う前記活性化工程は、前記素子に炭素を主成分とする堆積物を堆積させる工程を有するものであり、好ましくは、以上の活性化工程は、真空中にて、電極間に設けられた導電性膜に電圧を印加する工程を有するものである。

【0019】また、このましくは、該電圧の印加はパルス状電圧の印加であり、特に好ましくは、電子放出素子の駆動電圧であることが良い。

【0020】更に本発明は、以上の電子放出素子を有し、入力信号に応じて電子を放出する電子源であり、好ましくは、上記の電子放出素子を、基体上に、複数個配置したことを特徴とした電子源であって、基体に、複数の電子放出素子を複数個並列に配置し、個々の素子の両端を配線に接続した電子放出素子の行を複数もち、更に、変調手段を有している配置形態、あるいは、基体

に、互いに、電氣的に、絶縁された  $m$  本の  $X$  方向配線と  $n$  本の  $Y$  方向配線とに、該電子放出素子の一对の素子電極とを接続した電子放出素子を複数個配列した配置形態を有する電子源である。

【0021】更に本発明は、画像形成装置であって、入力信号にもとづいて、画像を形成する画像形成装置において、少なくとも、画像形成部材と前記本発明の電子源とを有することを特徴とする画像形成装置である。

【0022】以下に、本発明の好ましい実施態様について述べる。

【0023】まず、本発明に係わる表面伝導型電子放出素子の基本的な構成について説明する。

【0024】図1の(a)、(b)は、それぞれ、本発明にかかわる基本的な平面型の表面伝導型電子放出素子の構成を示す平面図及び断面図である。図1を用いて、本発明に係わる素子の基本的な構成を説明する。

【0025】図1において1は基板、5と6は素子電極、4は電子放出部を含む薄膜（導電性膜）、3は電子放出部である。

【0026】基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成した  $SiO_2$  を積層したガラス基板等及びアルミナ等のセラミックス等が挙げられる。

【0027】対向する素子電極5、6の材料としては導電性を有するものであればどのようなものであっても構わないが、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金及びPd、Ag、Au、 $RuO_2$ 、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、 $In_2O_3-SnO_2$ 等の透明導電体及びポリシリコン等の半導体材料等が挙げられる。

【0028】素子電極間隔  $L_1$ 、素子電極長さ  $W_1$ 、導電性膜4の形状等は、この素子の応用形態等によって適宜設計され、例えば、後述する表示装置で、テレビジョン等では、画面サイズに対応した画素サイズが設計され、とりわけ、高品位TVでは、画素サイズが小さく、高精細さが要求される。そのため、電子放出素子のサイズが、限定されたなかで、十分な輝度を得るためには、十分な放出電流が得られるように設計される。

【0029】素子電極間隔  $L_1$  は、数百オングストロームより数百マイクロメートルあり、素子電極の製法の基本となるフォトリソグラフィ技術、即ち、露光機のパフォーマンスとエッチング方法等、及び、素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、好ましくは、数マイクロメートルより数十マイクロメートルである。

【0030】素子電極の長さ  $W_1$ 、及び、素子電極5、6の膜厚  $d$  は、電極の抵抗値、前述した  $X$ 、 $Y$  配線との結線、多数配置された電子源の配置上の問題より適宜設



計され、通常は、素子電極の長さ $W1$ は、数マイクロメートルより数百マイクロメートルであり、素子電極5、6の膜厚 $d$ は、数百オングストロームより数マイクロメートルである。

【0031】基板1上に設けられた対向する素子電極5と素子電極6間及び素子電極5、6上設置された電子放出部を含む薄膜4は、電子放出部3を含むが、図1の(b)に示された場合だけでなく、素子電極5、6上には、設置されない場合もある。即ち、絶縁性基板1上に、電子放出部形成用薄膜2、対向する素子電極5、6の順に積層構成した場合である。また、対向する素子電極5と素子電極6間全てが、製法によっては、電子放出部として機能する場合もある。この電子放出部を含む薄膜4の膜厚は、好ましくは、数オングストロームより数千オングストロームで特に、好ましくは10オングストロームより500オングストロームあり、素子電極5、6へのステップカバレッジ、電子放出部3と素子電極5、6間の抵抗値及び電子放出部3の導電性微粒子の粒径、後述する通電処理条件等によって、適宜設定される。その抵抗値は、10の3乗より10の7乗オーム/20口のシート抵抗値を示す。

【0032】電子放出部を含む薄膜(導電性膜)4を構成する材料の具体例を挙げるならばPd、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>等の酸化物、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、Gd<sub>2</sub>B<sub>4</sub>等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン、AgMg、NiCu、Pb、Sn等であり、微粒子からなる。

【0033】尚、ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態(島状も含む)の膜をさす。

【0034】微粒子の粒径は、数オングストロームより数千オングストローム、このましくは、10オングストロームより200オングストロームである。

【0035】電子放出部3は、導電性膜4の一部に形成された、例えば、亀裂等の高抵抗部であり、更には、好ましくは、数オングストロームより数百オングストローム、特に好ましくは、10オングストロームより500オングストロームの粒径の導電性微粒子多数個を有する場合もあり、電子放出部を含む薄膜(導電性膜)4の膜厚及び後述する通電処理条件等の製法に依存しており、適宜設定される。

【0036】又、前記導電性微粒子は、電子放出部を含む薄膜(導電性膜)4を構成する材料の元素の一部あるいは全てと同様の物である。

【0037】又、電子放出部3の一部、更には、電子放出部3の近傍の導電性膜4には、炭素あるいは炭素化合物が堆積されている。

【0038】次に本発明に係る別な構成の表面伝導型電子放出素子である垂直型表面伝導型電子放出素子について説明する。

【0039】図12は基本的な垂直型表面伝導型電子放出素子の構成を示す模式的図面である。

【0040】図12において、図1と同一の符号のものは、同一である。21は段さ形成部である。基板1、素子電極5と6、電子放出部を含む薄膜4、電子放出部3は、前述した平面型表面伝導型電子放出素子と同様の材料で構成されたものであり、段さ形成部21は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO<sub>2</sub>等の絶縁性材料で構成され、段さ形成部21の膜厚が、先に述べた平面型表面伝導型電子放出素子の素子電極間隔に対応し、数十ナノメートルより数十マイクロメートルであり、段さ形成部の製法、及び、素子電極間に印加する電圧と電子放出し得る電界強度により設定されるが、好ましくは、数十ナノメートルより数十マイクロメートルである。電子放出部を含む薄膜4は、素子電極5、6と段さ形成部21作成後に、形成するため、素子電極5、6の上に積層される。なお、電子放出部3は、図12において、段差形成部21に直線状に示されているが、作成条件、通電フォーミング条件等に依存し、形状、位置ともこれに限るものでない。

【0041】電子放出部3を有する電子放出素子の製造方法としては様々な方法が考えられるが、その一例を図2に示す。尚、図2中、2は電子放出部形成用薄膜(導電性膜)で例えば微粒子膜が挙げられる。

【0042】以下、順をおって製造方法の説明を図1及び図2に基づいて説明する。

1) 基板1を洗剤、純水および有機溶剤により十分に洗浄後、真空蒸着法、スパッタ法等により素子電極材料を堆積後、フォトリソグラフィ技術により該絶縁性基板1の面上に素子電極5、6を形成する(図2の(a))。

2) 絶縁性基板1上に設けられた素子電極5と素子電極6との間に、素子電極5と6を形成した絶縁性基板上に有機金属溶液を塗布して放置することにより、有機金属薄膜を形成する。なお、有機金属溶液とは、前記Pd、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属を主元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、電子放出部形成用薄膜2を形成する(図2の(b))。尚、ここでは、有機金属溶液の塗布法により説明したが、これに限る物でなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピンナー法等によって形成される場合もある。

3) つづいて、フォーミングと呼ばれる通電処理を素子電極5、6間に電圧を不図示の電源によりパルス状あるいは、昇電圧による通電処理がおこなわれると、電子放出部形成用薄膜(導電性膜)2の部位に構造の変化した電子放出部3が形成される(図2の(c))。この通電処理により電子放出部形成用薄膜(導電性膜)2を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位(高抵抗部位)を電子放出部3と呼ぶ。

【0043】フォーミング処理以降の電気的処理は、図3に示す測定評価装置内で行う。以下に測定評価装置を説明する。

【0044】図3は、図1で示した構成を有する素子の電子放出特性を測定するための測定評価装置の概略構成図である。図3において、1は基体、5及び6は素子電極、4は電子放出部を含む薄膜、3は電子放出部を示す。また、31は素子に素子電圧 $V_f$ を印加するための電源、30は素子電極5、6間の電子放出部を含む薄膜4を流れる素子電流 $I_f$ を測定するための電流計、34は素子の電子放出部より放出される放出電流 $I_e$ を捕捉するためのアノード電極、33はアノード電極34に電圧を印加するための高圧電源、32は素子の電子放出部3より放出される放出電流 $I_e$ を測定するための電流計である。

【0045】電子放出素子の上記素子電流 $I_f$ 、放出電流 $I_e$ の測定にあたっては、素子電極5、6に電源31と電流計30とを接続し、該電子放出素子の上に電源33と電流計32とを接続したアノード電極34を配置している。また、電子放出素子及びアノード電極34は真空装置内に設置され、その真空装置には不図示の排気ポンプ及び真空計等の真空装置に必要な機器が具備されており、所望の真空中で素子の測定評価を行えるようになっている。尚、排気ポンプは、ターボポンプ、ロータリーポンプからなる通常の高真空装置系あるいは、オイルを使用しない、磁気浮上ターボポンプ、ドライポンプ等の高真空装置系と更に、イオンポンプからなる超高真空装置系からなる。また、真空装置全体、及び電子源基板は、不図示のヒーターにより200℃まで加熱できる。

【0046】なお、アノード電極の電圧は1kV~10kV、アノード電極と電子放出素子との距離Hは2mm~8mmの範囲で測定した。

【0047】フォーミング処理は、パルス波高値が定電圧のパルスを印加する場合とパルス波高値を増加させながら、電圧パルスを印加する場合とがある。まず、パルス波高値が定電圧のパルスを印加の場合の電圧波形を図4の(a)に示す。

【0048】図4の(a)中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒~10ミリ秒、T2を10マイクロ秒~100ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は

適宜選択し、真空雰囲気下で印加する。

【0049】次に、パルス波高値を増加させながら、電圧パルスを印加する場合の電圧波形を、図4の(b)に示す。

【0050】図4の(b)中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒~10ミリ秒、T2を10マイクロ秒~100ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は、例えば0.1Vステップ程度づつ、増加させ、真空雰囲気下で印加する。

【0051】尚、フォーミング処理の終了は、パルス間隔T2中に、電子放出部形成用薄膜2を局所的に破壊、変形しない程度の電圧例えば0.1V程度の電圧で、素子電流を測定し、抵抗値を求め、例えば、1Mオーム以上の抵抗を示した時、フォーミングを終了とした。この時の電圧を、フォーミング電圧 $V_{form}$ と呼ぶことにする。

【0052】以上説明した電子放出部を形成する際に、素子の電極間に三角波パルスを印加してフォーミング処理を行っているが、素子の電極間に印加する波形は三角波に限定することではなく、矩形波など所望の波形を用いても良く、その波高値及びパルス幅、パルス間隔等についても上述の値に限ることなく、電子放出部が良好に形成される様に、電子放出素子の抵抗値等にあわせて、所望の値を選択する。

【0053】また、このフォーミング電圧は、素子の材料、構成等により一義的に決まるので、上記図4の(b)に示すようなパルス波高値を増加させながら、電圧パルスを印加する場合の方が、個々の素子に適正なフォーミングのエネルギーが容易に得られ、良好な電子放出特性が得られるので好ましい。

4) 次に、フォーミングが終了した素子に活性化処理と呼ぶ処理を施す。活性化処理とは、10のマイナス4乗~10のマイナス5乗torr程度の真空中で、フォーミング同様、パルス波高値が定電圧のパルスの印加を繰り返す処理のことを言い、真空中に存在する有機物質から、炭素あるいは炭素化合物を堆積することで、素子電流 $I_f$ 、放出電流 $I_e$ が、著しく変化する処理である。素子電流 $I_f$ と放出電流 $I_e$ を測定しながら、例えば、放出電流 $I_e$ が飽和した時点で、活性化処理を終了する。素子電流 $I_f$ 、放出電流 $I_e$ の活性化処理時間依存例を図5に示す。

【0054】活性化処理は、真空中、素子に印加するパルス電圧等に依存して、この素子電流 $I_f$ 、放出電流 $I_e$ の時間依存が変化し、またフォーミング処理によって、変形、変質した薄膜への被膜(堆積物)の形成状態が変化する。

【0055】活性化処理電圧が、フォーミング電圧 $V_{form}$ に比べて、十分に高いパルスを印加し活性化処理する場合を高抵抗活性化処理と呼ぶこととする。一方、活

性化処理電圧が、フォーミング電圧 $V_{form}$ に比べて、十分に低いパルス印加し活性化処理する場合を低抵抗活性化処理と呼ぶこととする。尚、後述する電圧制御型負性抵抗を示す開始電圧 $V_P$ をただしは、ほぼ、境界として活性化処理が分類される。

【0056】高抵抗活性化処理、低抵抗活性化処理の場合の素子の形態変化を観察したものの模式図が図6の(a)、(b)である。尚、上記観察は、FESEM、TEM等によって行った。

【0057】図6の(a)、(b)は、それぞれ高抵抗活性化処理、低抵抗活性化処理した場合の素子の断面である。尚、5を高電位側電極、6を低電位側電極として、電圧の印加が行われた。高抵抗活性化処理の場合を示す図6の(a)では、フォーミングによって、導電性膜4に、亀裂などの変形、変質をせしめた部分(高抵抗部分)3の一部より主として高電位電極5側の導電性膜4上に炭素あるいは炭素化合物61が堆積している。更に高倍率で観察すると微粒子の周囲及び周辺にも堆積している。また、対向する素子電極間距離にもよるが、素子電極にも炭素あるいは炭素化合物61が堆積する場合もある。その膜厚は、好ましくは、500オングストローム以下、より好ましくは、300オングストローム以下である。

【0058】尚ここで、炭素あるいは炭素化合物とは、TEM、ラマン等の結果、グラファイト(単、多結晶双方を指す)、非晶質カーボン(非晶質カーボン及び多結晶グラファイトとの混合物を指す)である。

【0059】一方、低抵抗活性化処理の場合を示す図6の(b)では、フォーミングによって変形、変質せしめた部分3の一部に炭素あるいは炭素化合物61が堆積している。更に高倍率で観察すると微粒子の周囲及び周辺にも堆積している。

【0060】尚、ここで、炭素あるいは炭素化合物とは、先と同様、TEM、ラマン等の結果、グラファイト(単、多結晶双方を指す)、非晶質カーボン(非晶質カーボン及び多結晶グラファイトとの混合物を指す)である。

5) こうして作成した電子放出素子を、好ましくは、フォーミング処理及び活性化処理した真空度より高い真空度の真空雰囲気にて駆動する。また、フォーミング処理及び活性化処理した真空度より高い真空度の真空雰囲気とは、好ましくは、約10のマイナス6乗torr以上の真空度を有する真空度であり、より好ましくは、超高真空系で、炭素、及び炭素化合物の新たに、ほぼ、堆積しない真空度である。

【0061】従って、これによって、これ以上の炭素及び炭素化合物の堆積を抑制する事が可能となり、素子電流 $I_f$ 、放出電流 $I_e$ が、一定に安定する。

【0062】尚、高抵抗活性化処理、低抵抗活性化処理の場合の素子では、駆動初期における安定性が異なり、

より好ましくは、高抵抗活性化処理が活性化処理として選択される。

【0063】上述のような素子構成と製造方法によって作成された本発明にかかわる電子放出素子の基本特性について図3、図7を用いて説明する。

【0064】図3に示した測定評価装置により測定された放出電流 $I_e$ 及び素子電流 $I_f$ と素子電圧 $V_f$ の関係の典型的な例を図7に示す。尚、図7は放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さいので、任意単位で示されている。図7からも明らかなように、本電子放出素子は放出電流 $I_e$ に対する3つの特性を有する。

【0065】まず第1に、本素子はある電圧(しきい値電圧と呼ぶ、図7中の $V_{th}$ )以上の素子電圧を印加すると急激に放出電流 $I_e$ が増加し、一方しきい値電圧 $V_{th}$ 以下では放出電流 $I_e$ がほとんど検出されない。すなわち、放出電流 $I_e$ に対する明確なしきい値電圧 $V_{th}$ を持った非線形素子である。

【0066】第2に、放出電流 $I_e$ が素子電圧 $V_f$ に依存するため、放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

【0067】第3にアノード電極34に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。すなわち、アノード電極34に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

【0068】一方、素子電流 $I_f$ は素子電圧 $V_f$ に対して単調増加する(MI特性と呼ぶ)特性(図7の実線)及び電圧制御型負性抵抗(VCNR特性と呼ぶ)特性(図7の破線)を示す場合があるが、これら素子電流の特性は、その製法に依存する。又、VCNR特性を示す境界電圧を $V_P$ という。

【0069】即ち、素子電流 $I_f$ のVCNR特性は、通常の真空装置系で、フォーミングを行ったとき発生し、その特性は、フォーミング時の電気的條件、真空装置系の真空雰囲気条件等、あるいは、フォーミングを既に行った電子放出素子の測定時の真空装置系の真空雰囲気条件、測定時の電気的測定条件(例えば、電子放出素子の電流-電圧特性を得るために、素子に印加する電圧を低電圧から高電圧まで掃引した時の掃引速度等)測定時までの電子放出素子の真空装置内の放置時間等に依存して、大きく変わることが判明した。またこの時、放出電流 $I_e$ は、MI特性を示す。

【0070】以上のような表面伝導型電子放出素子の特性、即ち、素子電流 $I_f$ 、放出電流 $I_e$ の素子印加電圧に対する単調増加特性を有するため、本発明にかかわる電子放出素子は、多方面への応用が期待できる。

【0071】尚、あらかじめ導電性微粒子を分散して構成した表面伝導型電子放出素子においては、前記本発明の基本的な素子構成の基本的な製造方法のうちの一部を変更してもよい。

【0072】以上表面伝導型電子放出素子の基本的な構

成、製法について述べたが、本発明の思想によれば、表面伝導型電子放出素子の特性で上述の3つの特徴を有すれば、上述の構成等に限定されず、後述の電子源、表示装置等の画像形成装置に於いても適用できる。

【0073】次に、本発明の電子源及び画像形成装置について述べる。

【0074】本発明の電子放出素子を複数個、基板上に配列して、電子源あるいは、画像形成装置が構成できる。

【0075】基板上の配列の方式には、例えば、従来例で述べた、多数の表面伝導型電子放出素子を並列に配置し、個々の素子の両端を配線にて結線した、電子放出素子の行を多数配列し（行方向と呼ぶ）、この配線と直交する方向に（列方向と呼ぶ）、該電子源の上方の空間に設置された制御電極（グリッドと呼ぶ）により電子を制御駆動する配列形態（以後、はしご型という）、及び次に述べるm本のX方向配線の上にn本のY方向配線を、層間絶縁層を介して設置し、表面伝導型電子放出素子の一对の素子電極にそれぞれ、X方向配線、Y方向配線を接続した配列形態が挙げられる。これを単純マトリクス配置と以降呼ぶ。

【0076】次に、この単純マトリクスについて詳述する。

【0077】本発明にかかわる表面伝導型電子放出素子の前述した3つの基本的特性の特徴によれば、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と巾で制御される。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、上記パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択し、その電子放出量が制御できる事となる。

【0078】以下、この原理に基づき構成した電子源基板の構成について、図8を用いて説明する。

【0079】m本のX方向配線82は、DX1、DX2、…DXmからなり、絶縁性基板1上に、真空蒸着法、印刷法、スパッタ法等で形成し、所望のパターンとした導電性金属等からなり、多数の表面伝導型電子放出素子にほぼ均等な電圧が供給される様に、材料、膜厚、配線巾が設定される。Y方向配線83は、DY1、DY2、…DYnのn本の配線よりなり、X方向配線82と同様に、真空蒸着法、印刷法、スパッタ法等で形成し、所望のパターンとした導電性金属等からなり、多数の表面伝導型電子放出素子にほぼ均等な電圧が供給される様に、材料、膜厚、配線巾等が設定される。これらm本のX方向配線82とn本のY方向配線83間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成する（このm、nは、共に正の整数）。

【0080】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO<sub>2</sub>等であり、X方向配線82を形成した絶縁性基板1の全面あるいは一部に所望の形状で形成され、特に、X方向配線82とY方向配線83の交差部の電位差に耐え得る様に、膜厚、材料、製法が適宜設定される。X方向配線82とY方向配線83は、それぞれ外部端子として引き出されている。

【0081】更に、前述と同様にして、表面伝導型電子放出素子84の対向する電極（不図示）が、m本のX方向配線82（DX1、DX2、…DXm）とn本のY方向配線83（DY1、DY2、…DYn）と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線85によって電気的に接続されているものである。

【0082】ここで、m本のX方向配線82とn本のY方向配線83と結線85と対向する素子電極の導電性金属は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよく、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金及びPd、Ag、Au、RuO<sub>2</sub>、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>等の透明導体及びポリシリコン等の半導体材料等より適宜選択される。また表面伝導型電子放出素子は、絶縁性基板1、あるいは、不図示の層間絶縁層上どちらに形成してもよい。

【0083】又、詳しくは、後述するが、前記X方向配線82には、X方向に配列する表面伝導型電子放出素子84の行を、入力信号に応じて、走査するための走査信号を印加するための不図示の走査信号印加手段と電気的に接続され、一方、Y方向配線83には、Y方向に配列する表面伝導型電子放出素子84の列の各列を入力信号に応じて、変調するための変調信号を印加するための不図示の変調信号発生手段と電気的に接続される。

【0084】更に、表面伝導型電子放出素子の各素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給されるものである。

【0085】次に、以上のようにして作成した電子源基板を用いた電子源、及び、表示等に用いる画像形成装置について図9と図10を用いて説明する。図9は画像形成装置の基本構成図であり、図10は蛍光膜である。

【0086】図9において、1は基板、91は基板1を固定したリアプレート、96は、ガラス基板93の内面に蛍光膜94とメタルバック95等が形成されたフェースプレート、92は、支持枠であり、リアプレート91、支持枠92及びフェースプレート96をフリットガラス等を塗布し、大気中あるいは、窒素中で、400～500℃で10分以上焼成することで、封着して、外囲器98を構成する。

【0087】図9において、84は、図1あるいは図12に示された表面伝導型電子放出素子に相当する。8

2、83は、表面伝導形電子放出素子の一对の素子電極と接続されたX方向配線及びY方向配線である。また、これら素子電極への配線は、素子電極と配線材料が同一である場合は、素子電極と呼ぶ場合もある。

【0088】外囲器98は、上述の如く、フェースプレート96、支持枠92、リアプレート91で外囲器98を構成したが、リアプレート91は主に基板1の強度を補強する目的で設けられてるため、基板1自体で十分な強度を持つ場合は別体のリアプレート91は不要であり、基板1に直接支持枠92を封着し、フェースプレート96、支持枠92、基板1にて外囲器98を構成しても良い。

【0089】図10は、蛍光膜である。蛍光膜94は、モノクロームの場合は蛍光体のみから成るが、カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導伝材101と蛍光体102とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合必要となる3原色蛍光体の、各蛍光体102間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜94における外光反射によるコントラストの低下を抑制することである。ブラックストライプの材料としては、通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であればこれに限るものではない。

【0090】ガラス基板93に蛍光体を塗布する方法はモノクローム、カラーによらず、沈殿法や印刷法が用いられる。

【0091】また、蛍光膜94の内面側には通常メタルバック95が設けられる。メタルバックの目的は、蛍光体の発生のうち内面側への光をフェースプレート96側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、外囲器内で発生した負イオンの衝突によるダメージからの蛍光体の保護等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常フィリミングと呼ばれる）を行い、その後A1を真空蒸着等で堆積することで作製できる。

【0092】フェースプレート96には、更に蛍光膜94の導伝性を高めるため、蛍光膜94の外側面に透明電極（不図示）が設けてもよい。

【0093】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行なう必要がある。

【0094】外囲器98は、不図示の排気管を通じ、10のマイナス6乗トール程度の真空度にされ、外囲器98の封止がおこなわれる。

【0095】尚、電子源基板は、前述した通りに電子放出部を形成した図1あるいは図12の素子が、基板上に上記の如く配置、配線されたものでも良いが、好ましく、

は電子放出部形成前の素子、例えば図2の(b)にしされた状態の素子を、基板上に上記の如く配置、配線し、これを図9に示す外囲器98内に配置した後、不図示の排気管を通じ、例えば、ロータリーポンプ、ターボポンプをポンプ系とする様な通常の真空装置系で該外囲器内を、10のマイナス6乗トール程度の真空度とし、容器外端子Dox1ないしDoxmとDoy1ないしDoy nを通じ素子電極5、6（図2の(b)）間に電圧を印加し、上述のフォーミングを行い、次に、前記活性化処理を、該外囲器内を10のマイナス6乗トール程度の真空度として行うことにより電子放出部3を形成して、電子源基板を作製する。

【0096】以上の様に作製の後、特に、その後、80度〜150度でベーキングを3〜15時間行いながら、例えば、イオンポンプ等のポンプ系とする超高真空装置系にきりかえる。超高真空系の切り替え、及びベーキングは、前述の表面伝導型電子放出素子の素子電流If、放出電流Ieの単調増加特性（MI特性）を満足するためであり、その方法、条件はこれに限るものでない。また、外囲器98の封止後の真空度を維持するために、ゲッター処理を行う場合もある。これは、外囲器98の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等の加熱法により、外囲器98内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、たとえば1×10マイナス5乗ないしは1×10マイナス7乗[Tor]の真空度を維持するものである。

【0097】以上により完成した本発明の画像表示装置において、各電子放出素子には、容器外端子Dox1ないしDoxm、Doy1ないしDoy nを通じ、電圧を印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック95あるいは透明電極（不図示）に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜94に衝突させ、励起・発光させることで画像を表示するものである。

【0098】以上述べた構成は、表示等に用いられる好適な画像形成装置を作製する上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述内容に限られるものではなく、画像装置の用途に適するよう適宜選択する。

【0099】

【実施例】以下に、実施例をあげて、本発明をさらに詳述する。

【0100】（実施例1）本発明にかかわる基本的な表面伝導型電子放出素子の構成は、図1の(a)、(b)の平面図及び断面図と同様である。

【0101】尚、基板1上には、同一形状の素子が図11に示すように4個形成されている。尚、図11において、図1と同一の番号のものは、同一のものを示す。

【0102】本発明に係わる表面伝導形電子放出素子の製造法は、基本的には図2と同様である。以下、図1、図2を用いて、本発明に係わる素子の基本的な構成及び製造法を説明する。

【0103】図1において、1は基板、5と6は素子電極、4は電子放出部を含む薄膜、3は電子放出部である。

【0104】以下、順をおって製造方法の説明を図1及び図2に基づいて説明する。

【0105】工程-a：清浄化した青板ガラス上に厚さ0.5ミクロンのシリコン酸化膜をスパッタ法で形成した基板1上に、素子電極5と素子電極間ギャップGとなるべきパターンをホトレジスト(RD-2000N-41日立化成社製)で形成し、真空蒸着法により、厚さ50ÅのT1、厚さ1000ÅのN1を順次堆積した。ホトレジストパターンを有機溶剤で溶解し、N1/T1堆積膜をリフトオフし、素子電極間隔Gは3ミクロンとし、素子電極の幅W1を300ミクロンを有する素子電極5、6を形成した(図2の(a))。

【0106】工程-b：素子間電極ギャップGおよびこの近傍に開口を有するマスクにより膜厚1000ÅのCr膜121を真空蒸着により堆積・パターニングし、そのうえに有機Pd(cpc4230奥野製薬(株)社製)をスピンナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素としてPbよりなる微粒子からなる電子放出部形成用薄膜2の膜厚は100オングストローム、シート抵抗値は $2 \times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、上述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。

【0107】工程-c：Cr膜および焼成後の電子放出部形成用薄膜2を酸エッチャントによりエッチングして所望のパターンを形成した。以上の工程により基板1上に、素子電極5、6、電子放出部形成用薄膜2等を形成した(図2の(b))。

【0108】工程-d：次に、図3の測定評価装置に設置し、真空ポンプにて排気し、 $2 \times 10^{-5}$ トorrの真空度に達した後、素子に素子電圧Vfを印加するための電源31より、4素子各々の素子電極5、6間にそれぞれ、電圧を印加し、通電処理(フォーミング処理)した。フォーミング処理の電圧波形を図4の(b)に示す。

【0109】図4の(b)中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、矩形波の波高値(フォーミング時のピーク電圧)は0.1Vステップで昇圧

し、フォーミング処理を行なった。また、フォーミング処理中は、同時に、0.1Vの電圧で、T2間に抵抗測定パルスを押入し、抵抗を測定した。尚フォーミング処理の終了は、抵抗測定パルスでの測定値が、約1Mオーム以上になった時とし、同時に、素子への電圧の印加を終了した。それぞれの素子のフォーミング電圧Vformは、5.1V、5.0V、5.0V、5.15Vであった。

【0110】工程-e：続いて、フォーミング処理した4素子に対しそれぞれ、図4の(b)の波形で矩形波の波高値をそれぞれ4Vと14Vで、各2個ずつ活性化処理をした。低抵抗活性化処理つまり、4Vで活性化処理した素子サンプルを素子A、高抵抗活性化処理、つまり14Vで活性化処理をした素子サンプルを素子Bと呼ぶことにする。

【0111】活性化処理とは前述した様に、図3の測定評価装置内で、素子電極間にパルス電圧を、素子電流If及び放出電流Ieを測定しながら、印加した。尚、この時、図3の測定評価装置内の真空度は、 $1.5 \times 10^{-5}$ トorrであった。約30分で活性化処理を終了した。

【0112】こうして、電子放出部3を形成し電子放出素子を作製した。

【0113】上述の工程で作製した表面伝導形電子放出素子の特性及び形態を把握するために、上記素子A、Bを各1個ずつ、その電子放出特性の測定を上述の図3の測定評価装置を用いて行った。また残りの1個ずつを電子顕微鏡で観察した。

【0114】なお、アノード電極と電子放出素子間の距離を4mm、アノード電極の電位を1kV、電子放出特性測定時の真空装置内の真空度を $1 \times 10^{-5}$ トorrとした。素子A、Bとも、電極5及び6の間に素子電圧を14V印加し、その時に流れる素子電流If及び放出電流Ieを測定した。素子Aでは、測定開始直後に10mA程度の素子電流Ifが流れ、次第に減少し、それにともない、放出電流Ieが観察された。一方、素子Bでは、測定初期より、安定した素子電流If、放出電流Ieが観察され、素子電圧14Vでは素子電流Ifが2.0mA、放出電流Ieが $1.0 \mu A$ となり、電子放出効率 $\eta = Ie / If \times 100 (\%)$ は0.05%であった。以上より、素子Aは、素子電流Ifが、測定初期において、著しく大きく、不安定であるが、一方、素子Bでは測定初期より、安定でかつ効率 $\eta$ のよい電子放出素子であることがわかる。

【0115】また、素子Bについて、活性化処理の真空度 $1.5 \times 10^{-5}$ トorrに戻し、素子に0.005Hz程度の三角波で電圧を掃印しながら、素子電流If、放出電流Ieを測定すると、図7に示される破線の特性を示した。図7に示される様に、約5V前後まで、素子電流Ifは、単調増加したのち、5V以上で電圧制

御型負性抵抗を示す。この時、素子電流  $I_f$  が最大を示す電圧 ( $V_P$  と呼ぶ) は、5 V である。また 10 V 以上では、素子電流  $I_f$  は、最大の素子電流の数分の 1 の 1 mA 程度であった。電子顕微鏡で観察した素子 A、B の形態は、図 6 の (a)、(b) に示したものと同様である。図 6 の (B) より素子 A では、素子電極間の薄膜 (導電性膜) 4 の変質部分 3 の一部に多くの被膜 (堆積物) 6 1 が形成されているのがわかる。一方、素子 B では、図 6 の (a) より、活性化処理時の素子への電圧の印加方向に依存して、特に、変質部分 3 の一部より高電位電極 5 側の導電性膜 4 上を主として、被膜 (堆積物) 6 1 が形成されていた。更に、高倍率の FESEM (2 次電子顕微鏡の略) で観察すると、この被膜は、金属微粒子の周囲及び微粒子間にも形成されているようであった。

【0116】尚、TEM (透過電子顕微鏡) ラマン等で観察すると、グラファイト、アモルファスカーボンからなる炭素被膜が観察された。

【0117】又、これらの観察により、素子 A では、先に述べた電圧制御型負性抵抗を示す電圧  $V_P$  以下で活性化されたため、フォーミング処理によって発生した薄膜の変質部の一部に、素子 B より多くの炭素が形成され、著しく大きな素子電流が流れ、測定電圧で、薄膜変質部の高電位側と低電位側間に形成された炭素被膜が電流パスとなり、素子 B の数倍の素子電流が流れ、駆動初期から素子電流が変動したと考えられる。

【0118】一方、高抵抗活性化処理をおこなった素子 B では、先に述べた電圧制御型負性抵抗を示す電圧  $V_P$  以上で活性化されたため、素子 A 同様に、変質部の一部に炭素被膜が形成されながらも、素子 A より炭素被膜の部分的に電気的に切断された部位が多いと考えられる。このため、駆動初期より安定した電流になったと考えられる。

【0119】以上より高抵抗活性化処理により、素子電流  $I_f$ 、放出電流  $I_e$  が安定し、かつ、効率のよい電子放出が作成された。

【0120】(実施例 2) 本実施例は、多数の表面伝導形電子放出素子を単純マトリクス配置した画像形成装置の例である。

【0121】電子源の一部の平面図を図 13 に示す。また、図中の A-A' 断面図を図 14 に示す。但し、図 13、図 14、図 15、図 16 で、同じ記号を示したものは、同じものを示す。ここで 1 は基板、8 2 は図 8 の D x m に対応する X 方向配線 (下配線とも呼ぶ)、8 3 は図 8 の D y n に対応する Y 方向配線 (上配線とも呼ぶ)、4 は電子放出部を含む薄膜、5、6 は素子電極、1 4 1 は層間絶縁層、1 4 2 は素子電極 5 と下配線 8 2 と電気的接続のためのコンタクトホールである。

【0122】次に、製造方法を図 15、図 16 により工程順に従って具体的に説明する。

【0123】工程-a: 清浄化した基板ガラス上に厚さ 0.5 ミクロンのシリコン酸化膜をスパッタ法で形成した基板 1 上に、真空蒸着により厚さ 50 オングストロームの Cr、厚さ 6000 オングストロームの Au を順次積層した後、ホトレジスト (AZ 1370 ヘキスト社製) をスピナーにより回転塗布、ベークした後、ホトマスク像を露光、現像して、下配線 8 2 のレジストパターンを形成し、Au/Cr 堆積膜をウェットエッチングして、所望の形状の下配線 8 2 を形成する (図 15 の (a))。

【0124】工程-b: 次に、厚さ 1.0 ミクロンのシリコン酸化膜からなる層間絶縁層 1 4 1 を RF スパッタ法により堆積する (図 15 の (b))。

【0125】工程-c: 前記工程 b で堆積したシリコン酸化膜にコンタクトホール 1 4 2 を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層 1 4 1 をエッチングしてコンタクトホール 1 4 2 を形成する。エッチングは CF<sub>4</sub> と H<sub>2</sub> ガスを用いた RIE (Reactive Ion Etching) 法によった (図 15 の (c))。

【0126】工程-d: その後、素子電極 5 と素子電極間ギャップ G となるべきパターンをホトレジスト (RD-2000N-41 日立化成社製) で形成し、真空蒸着法により、厚さ 50 オングストロームの Ti、厚さ 1000 オングストロームの Ni を順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti 堆積膜をリフトオフし、素子電極間隔 G は 3 ミクロン、素子電極の幅 W1 は 300 ミクロンとし、素子電極 5、6 を形成した (図 15 の (d))。

【0127】工程-e: 素子電極 5、6 の上に上配線 8 3 のホトレジストパターンを形成した後、厚さ 50 オングストロームの Ti、厚さ 5000 オングストロームの Au を順次、真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線 8 4 を形成した (図 16 の (e))。

【0128】工程-f: 膜厚 1000 オングストロームの Cr 膜 1 5 1 を真空蒸着により堆積・パターニングし、その上に有機 Pd (ccp4230 奥野製薬 (株) 社製) をスピナーにより回転塗布、300℃で 10 分間の加熱焼成処理をした。また、こうして形成された主元素として Pd よりなる微粒子からなる電子放出部形成用薄膜 2 の膜厚は 85 オングストローム、シート抵抗値は  $3.9 \times 10^4 \Omega/\square$  であった。なおここで述べる微粒子膜とは、上述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態 (島状も含む) の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう (図 16 の (f))。

【0129】工程-g: Cr 膜 1 5 1 及び焼成後の電子

21

放出部形成用薄膜2を酸エッチャントによりエッチングして所望のパターンを形成した(図16の(g))。

【0130】工程-h:コンタクトホール142部分以外にレジストを塗布するようなパターンを形成し、真空蒸着により厚さ50オングストロームのT1、厚さ5000オングストロームのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール142を埋め込んだ(図16の(h))。

【0131】以上の工程により絶縁性基板1上に下配線82、層間絶縁層141、上配線83、素子配線5、6、電子放出部形成用薄膜2等を形成した。

【0132】次に、以上のようにして作成した電子源基板を用いて、電子源及び表示装置を構成した例を、図9と図10を用いて説明する。

【0133】以上のようにして素子を作製した基板1を、リアプレート91上に固定した後、基板1の5mm上方に、フェースプレート96(ガラス基板93の内面に蛍光膜94とメタルバック95が形成されて構成される)を支持枠92を介し配置し、フェースプレート96、支持枠92、リアプレート91の接合部にフリットガラスを塗布し、大気中あるいは窒素雰囲気中で400℃ないし500℃で10分以上焼成することで封着した。またリアプレート91への基板1の固定もフリットガラスで行った。

【0134】本実施例において図9の84は、電子放出部形成前の電子放出素子(例えば、図2の(b)に相当する)であり、82、83はそれぞれX方向及びY方向の素子配線である。

【0135】蛍光膜94は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状を採用し(図10の(a))、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜94を作製した。ブラックストライプの材料として通常良く用いられている黒鉛を主成分とする材料を用いた。ガラス基板93に蛍光体を塗布する方法はスラリー法を用いた。

【0136】また、蛍光膜94の内面側には通常メタルバック95が設けられる。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後、A1を真空蒸着することで作製した。

【0137】フェースプレート96には、更に蛍光膜94の導電性を高めるため、蛍光膜94の外面側に透明電極(不図示)が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0138】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0139】以上のようにして完成したガラス容器内の

22

雰囲気は排気管(図示せず)を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dx01ないしDxmとDy1ないしDynを通じ電子放出素子74の電極5、6間に電圧を印加し、電子放出部形成用薄膜2をフォーミング処理した。フォーミング処理の電圧波形は、図4の(b)と同様である。

【0140】本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、約 $1 \times 10$ のマイナス5乗torrの真空雰囲気下で行った。

【0141】このように作成された電子放出部3は、パラジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は30オングストロームであった。

【0142】次にフォーミングと同一の矩形波で、波高14Vで、真空度 $2 \times 10$ のマイナス5乗torrの真空度で、素子電流If、放出電流Ieを測定しながら、高抵抗活性化処理を行った。

【0143】フォーミング、活性化処理を行い、電子放出部3を形成し電子放出素子84を作製した。

【0144】次に10のマイナス6乗トル程度程度の真空度まで排気し、不図示の排気管をガスバーナーで熱することで溶着し外囲器の封止を行った。

【0145】最後に封止後の真空度を維持するために、高周波加熱法でゲッター処理を行った。

【0146】以上のように完成した本発明の画像表示装置において、各電子放出素子には、容器外端子Dx1ないしDxm、Dy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段より、それぞれ印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック95に5kV以上の高圧を印加し、電子ビームを加速し、蛍光膜99に衝突させ、励起・発光させることで画像を表示した。又、素子電流If、放出電流Ieは双方とも図7の実線を示し、駆動初期から安定であった。又、この時、テレビジョンに要求される輝度100fL~150fLにも対応できる放出電流であった。

【0147】(実施例3)図17は、前記説明の表面伝導形電子放出素子を電子源として用いたディスプレイパネルに、たとえばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図17中、17100はディスプレイパネル、17101はディスプレイパネルの駆動回路、17102はディスプレイコントローラ、17103はマルチプレクサ、17104はデコード、17105は入出力インターフェース回路、17106はCPU、17107は画像生成回路、17108及び17109及び17110は画像メモリーインターフェース回路、17111は画像入力インターフェース回路、17112及び17113はTV信号受信回路、17114は入力部である(なお、本表示装置は、例えばテレビジョン信号のように映像情報と



音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、記憶などに関する回路やスピーカーなどについては説明を省略する。)

【0148】以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0149】まず、TV信号受信回路17113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらより更に多数の走査線よりなるTV信号(例えばMUSE方式をはじめとするいわゆる高品位TV)は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路17113で受信されたTV信号は、デコーダ17104に出力される。

【0150】また、TV信号受信回路17112は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。前記TV信号受信回路17113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ17104に出力される。

【0151】また、画像入力インターフェース回路17111は、例えばTVカメラや画像読み取りスキャナ等の画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ17104に出力される。

【0152】また、画像メモリーインターフェース回路17110は、ビデオテープレコーダー(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ17104に出力される。

【0153】また、画像メモリーインターフェース回路17109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ17104に出力される。

【0154】また、画像メモリーインターフェース回路17108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ17104に入力される。また、入出力インターフェース回路17105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU17106と外部との間で制御信号や数値データの入出力など

を行うことも可能である。

【0155】また、画像生成回路17107は、前記入出力インターフェース回路17105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU17106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサ等をはじめとして画像の生成に必要な回路が組み込まれている。

【0156】本回路により生成された表示用画像データは、デコーダ17104に出力されるが、場合によっては前記入出力インターフェース回路17105を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0157】また、CPU17106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0158】例えば、マルチプレクサ17103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ17102に対して制御信号を発生し、画面表示周波数や走査方法(例えばインターレースかノンインターレースか)や一画面の走査線の数など表示装置の動作を適宜制御する。

【0159】また、前記画像生成回路17107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路17105を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。なお、CPU17106は、もちろんこれ以外の目的の作業にも関わるものであって良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように入出力インターフェース回路17105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0160】また、入力部17114は、前記CPU17106に使用者が命令やプログラム、あるいはデータ等を入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0161】また、デコーダ17104は、前記17107ないし17113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すよう

に、デコーダ17104は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0162】また、画像メモリーを備える事により、静止画の表示が容易になる、あるいは前記画像生成回路17107及びCPU17106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0163】また、マルチプレクサ17103は、前記CPU17106より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ17103はデコーダ17104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路17101に出力する。その場合には、一面面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一面面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0164】また、ディスプレイパネルコントローラ17102は、前記CPU17106より入力される制御信号に基づき駆動回路17101の動作を制御するための回路である。

【0165】まず、ディスプレイパネルの基本的な動作に関わるものとしては、たとえばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路17101に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、たとえば画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）を制御するための信号を駆動回路17101に対して出力する。

【0166】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路17101に対して出力する場合もある。

【0167】また、駆動回路17101はディスプレイパネル17100に印加する駆動信号を発生するための回路であり、前記マルチプレクサ17103から入力される画像信号と、前記ディスプレイパネルコントローラ17102より入力される制御信号にもとづいて動作するものである。

【0168】以上、各部の機能を説明したが、図17に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル17100に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ17104において逆変換された後、マルチプレクサ17103において適宜選択され、駆動回路17101に入力される。一方、ディスプレイコントローラ17102

は、表示する画像信号に応じて駆動回路17101の動作を制御するための制御信号を発生する。駆動回路17101は、上記画像信号と制御信号にもとづいてディスプレイパネル17100に駆動信号を印加する。これにより、ディスプレイパネル17100において画像が表示される。これらの一連の動作は、CPU17106により統括的に制御される。

【0169】また、本表示装置においては、前記デコーダ17104に内蔵する画像メモリー、画像生成回路17107および情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、たとえば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【0170】したがって、本表示装置はテレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0171】なお、上記図17は表示伝導形放出素子を電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものでない事は言うまでもない。たとえば、図17の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。たとえば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0172】本表示装置においては、とりわけ表面伝導形電子放出素子を電子ビーム源とするディスプレイパネルの薄形化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、表面伝導形電子放出素子を電子ビーム源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感にあふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0173】（実施例4）本実施例は多数の表面伝導形電子放出素子と、制御電極（グリッド）を有する画像形成装置の例である。

【0174】本実施例の画像形成装置の製造方法は実施例2とほぼ同等な方法で作製したので説明を詳細する。

【0175】まず、表面伝導形電子放出素子を基板上に多数個設けた電子源と、これを応用した表示装置の実施例を説明する。図19および図20は、基板上に表面伝

導形電子放出素子の多数個を配列形成した電子源の2つの例を説明するための模式図である。

【0176】まず、図19においてSはたとえばガラスを材料とする絶縁性基板、点線で囲んだESは前記基板Sの上に設けられた表面伝導形電子放出素子、E1～E10は前記表面伝導形電子放出素子を配線するための配線電極をあらわしている。表面伝導形電子放出素子は基板上にX方向に沿って列をなして形成されている（以下、これを素子列と呼ぶ）。各素子列を構成する表面伝導形電子放出素子は、これを挟む両側の配線電極によって電気的に並列に共通配線されている（たとえば、第1列は両側の配線電極E1とE2によって配線されている）。

【0177】本実施例の電子源は、配線電極間に適宜の駆動電圧を印加することにより、各素子列を独立に駆動することが可能である。すなわち、電子ビームを放出させたい素子列には電子放出閾値を上回る適当な電圧を、また電子ビームを放出しない素子列には電子放出閾値を越えない適当な電圧（たとえば0[V]）を印加すればよい（なお、以下の説明では、電子放出閾値を上回る適当な駆動電圧をVE[V]と記す。）。

【0178】次に、図20に示すのは電子源の他の一例であり、Sはたとえばガラスを材料とする絶縁性基板、点線で囲んだESは前記基板Sの上に設けられた表面伝導形電子放出素子、E'1～E'6は前記表面伝導形電子放出素子を共通配線するための配線電極をあらわしている。前記図19の例と同様、本実施例においても表面伝導形電子放出素子はX方向に沿って列をなして形成され、各素子列の表面伝導形電子放出素子は配線電極によって電気的に並列に共通配線されている。さらに、たとえば素子列の第1列と第2列の片側の共通配線を配線電極E'2が兼ねているように、本実施例においては隣接する素子列の隣接する側の共通配線を1本の配線電極で行っている。本実施例の電子源は、前記図19の列と比較して同一形状の表面伝導形電子放出素子と配線電極を用いた場合に、Y方向に配列する配列間隔を小さくできるという利点がある。

【0179】本実施例の電子源は、配線電極間に適宜の駆動電圧を印加することにより、各素子列を独立に駆動することが可能である。すなわち、電子放出させたい電子放出素子列はVE[V]を、電子放出させない素子列にはたとえば0[V]の電圧を印加すればよい。たとえば、第3列だけを駆動したい場合には、E'1～E'3の各配線電極には0[V]の電位を、またE'4～E'6の各配線電極にはVE[V]の電位を印加する。その結果、第3列の素子列には、 $VE-0=VE$  [V]の電圧が印加されるが、他の素子列に対しては、 $0-0=0$  [V]かまたは $VE-VE=0$  [V]というように0[V]の電圧が印加されることになるわけである。また、たとえば第2列と第5列を同時に駆動させる場合に

は、配線電極E'1とE'2とE'6には0[V]の電位を、配線電極E'3とE'4とE'5にはVE[V]の電位を印加すればよい。このように、本実施例においても任意の素子列を選択的に駆動することが可能である。

【0180】なお、上記図19と図20の電子源においては、図示の便宜上から、表面伝導形電子放出素子をX方向には1列あたり12素子をならべたが、素子数はこれに限るものではなく、より多数を配列してもよい。また、Y方向には5列の素子列を並べたが、素子列の数はこれに限るものではなく、より多数を配列してもよい。

【0181】次に、上記の電子源を用いた平板型CRTについて例を挙げて説明する。

【0182】図21は前記図17の電子源を備えた平板型CRTのパネル構造を示すための図であり、図中VCはガラス製の真空容器で、その一部であるFPは表示面側のフェースプレートを示している。フェースプレートFPの内面には、たとえばITOを材料とする透明電極が形成され、さらに該透明電極上には赤、緑、青の蛍光体がモザイクもしくはストライプ状に塗り分けられている。図面の複雑化を避けるため、図中では透明電極と蛍光体を合わせてPHとして示している。なお、各色の蛍光体の間にはCRTの分野では公知のブラックマトリクスもしくはブラックストライプを設けてもよく、また蛍光体の上に同じく公知のメタルバック層を形成することも可能である。前記透明電極は、電子ビームの加速電圧を印加できるように端子EVを通じて真空容器外と電気的に接続されている。

【0183】また、Sは真空容器VCの底面に固定された電子源の基板で、前記図19で説明したように表面伝導形電子放出素子が配列形成されている。なお、本実施例においては1列あたり200素子が並列に配線された素子列が200列設けられている。各素子列の2本の配線電極は、両側のパネル側面に設けられた電極端子Dp1～Dp200およびDm1～Dm200と交互に接続しており、真空容器外から駆動電気信号が印加できるようになっている。

【0184】また、基板SとフェースプレートFPの間には、ストライプ状のグリッド電極GRが設けられている。グリッド電極GRは、前記素子列と直交して（すなわちY方向に沿って）200本が独立して設けられており、各グリッド電極には電子ビームを通過させるための開口Ghが設けられている。開口Ghは各表面伝導形電子放出素子に対応して1個ずつ円形のものが設けられているが、場合によってはメッシュ状に多数の通過口をもうけることもある。各グリッド電極は、電子端子G1～G200により真空容器外と電気的に接続されている。なお、グリッド電極は表面伝導形電子放出素子から放出された電子ビームを変調することができるものであればその形状や設置位置は必ずしも図21のようなもの

でなくともよく、たとえば表面伝導形電子放出素子の周囲や近傍に設けてもよい。

【0185】本表示パネルでは、表面伝導形電子放出素子の素子列とグリッド電極で200×200のXYマトリクスを構成している。したがって、素子列を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加することにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示していくものである。

【0186】つぎに、図22は前記図21の表示パネルを駆動するための電気回路をブロック図として示したもので、図22中1000は前記図21の表示パネル、1001は外部から入力する複合画像信号をデコードするためのデコード回路、1002はシリ/バラ変換回路、1003はラインメモリ、1004は変調信号発生回路、1005はタイミング制御回路、1006は走査信号発生回路である。表示パネル1000の電極端子は各々電気回路と接続されており、端子EVは10[kV]の加速電圧を発生する電圧源HVと、端子G1~G200は変調信号発生回路1004と、端子Dp1~Dp200は走査信号発生回路1006と、端子Dm1~Dm200はグラウンドと接続されている。

【0187】以下、各部の機能を説明する。まず、デコード回路1001は外部から入力するたとえばNTSCテレビ信号などの複合画像信号をデコードするための回路で、複合画像信号から輝度信号成分と同期信号成分を分離して、前者をData信号としてシリ/バラ変換回路1002に、後者をTsync信号としてタイミング制御回路1005に出力する。すなわち、デコード回路1001は、RGBの各色成分ごとの輝度を表示パネル1000のカラー画素配列に合わせて配列しシリ/バラ変換回路1002に順次出力する。また、垂直同期信号と水平同期信号を抽出してタイミング制御回路1005に出力する。タイミング制御回路1005は前記同期信号Tsyncを基準にして、各部の動作タイミングを整合させるための各種タイミング制御信号を発生する。つまり、シリ/バラ変換回路1002に対してはTspを、ラインメモリ1003に対してはTmryを変調信号発生回路1004に対してはTmodを走査信号発生回路1006に対してはTscanを出力する。

【0188】シリ/バラ変換回路1002は、デコード回路1001から入力する輝度信号Dataをタイミング制御回路1005より入力されるタイミング信号Tspにもとづいて順次サンプリングし、200個の並列信号I1~I200としてラインメモリ1003に出力する。タイミング制御回路1005は画像の1ライン分のデータがシリ/バラ変換された時点でラインメモリ1003に対して書き込みタイミング制御信号Tmryを出力する。ラインメモリ1003はTmryを受けるとI1~I200の内容を記憶して、それをI'1

~I'200として変調信号発生回路1004に出力するが、これはラインメモリに次の書き込みタイミング制御信号Tmryが入力されるまで保持される。

【0189】変調信号発生回路1004はラインメモリ1003より入力される画像1ライン分の輝度データにもとづいて、表示パネル1000のグリッド電極に印加する変調信号を発生させるための回路であり、タイミング制御回路1005の発生するタイミング制御信号Tmodに合わせて変調信号端子G1~G200に同時に印加する。変調信号は画像の輝度データに応じて電圧の大きさを定める電圧変調方式を用いるが、輝度データに応じて電圧パルスの長さを変えるパルス幅変調方式を用いることも可能である。

【0190】また、走査信号発生回路1006は表示パネル1000の表面伝導形電子放出素子の素子列を適宜駆動するための電圧パルスを発生するための回路である。タイミング制御回路1005の発生するタイミング制御信号Tscanに合わせて適宜内部のスイッチング回路を切り替え、定電圧源DVの発生する表面伝導形電子放出素子の閾値を上回る適当な駆動電圧VE[V]か、またはグラウンドレベル（すなわち0[V]）かを選択して端子Dp1~Dp200に印加するものである。

【0191】以上の回路により、表示パネル1000には図23のタイムチャートに示すタイミングで駆動信号が印加される。図23中の(a)~(d)は、走査信号発生回路1006から表示パネルの端子Dp1~Dp200に印加される信号の一部を示すが、図から分かるよう振幅VE[V]の電圧パルスが画像の1ライン表示時間ごとに順次Dp1、Dp2、Dp3...の順に印加されてゆく。一方、端子Dm1~Dm200は常にグラウンドレベル（0[V]）と接続されているため、上記電圧パルスにより素子列は第1列目から順次駆動され電子ビームが出力されていく。

【0192】また、これと同期して変調信号発生回路1004から同図(f)に点線で示すタイミングで画像の1ライン分の変調信号が同時に端子G1~G200に印加される。走査信号が切り替えられるのと同期して順次変調信号も切り替えられ、1画面分の画像が表示されてゆく。これを連続して繰り返し行うことにより、テレビジョン動画の表示が可能なのである。

【0193】以上、図19の電子源を備えた平板型CRTについて説明したが、次に前記図20の電子源を備えた平板型CRTについて図22を用いて説明する。

【0194】図24の平板型CRTは、基本的には前記図21の平板型CRTの電子源部を、図20のタイプで置き換えたものであり、電子放出素子列とグリッド電極で200×200のXYマトリクスを構成している。ただし、200列の表面伝導形電子放出素子の配線がE1~E201の201本の配線電極でなされているため、真空容器にはEx1~Ex201の201本の電極端子

が設けられている。

【0195】図25に本表示パネル1008を駆動する駆動回路を示すが、走査信号発生回路1007を除けば、前記G4図の回路と基本的に同様である。走査信号発生回路1007は、定電圧源DVの発生する表面伝導形電子放出素子の電子放出閾値を上回る適当な駆動電圧VE[V]か、またはグラントレベル(0[V])を適宜選択して表示パネルの端子に出力するが、そのタイミングを図24のタイムチャートに示す。表示パネルは(a)に示すタイミングで表示動作を行うが、そのため10に電極端子Ex1~Ex4には走査信号発生回路1007より(b)~(e)に示すような駆動信号が印加される。そのため、表面伝導形電子放出素子列には(f)~(h)のような電圧が印加され、1列ずつ順次駆動される。これと同期して、変調信号発生回路1004からは(i)のようなタイミングで変調信号が出力され、順次画像が表示されるものである。

【0196】本実施例の画像形成装置も、実施例2と同様な効果を奏するものであった。

【0197】

【発明の効果】以上説明した様に、本発明によれば、電子放出素子の活性化処理工程により、電子放出部の一部にグラファイト、あるいはアモルファスカーボン、あるいはそれらの混合物からなる炭素を主成分とする被膜を制御して被覆したため、従来、真空中で不明であった電子放出特性の制御が、可能となった。

【0198】より好ましくは、該活性化工程は該薄膜に炭素を主成分とする被膜を被覆する工程、真空中で該電子放出素子の一对の電極に電圧制御型負性抵抗特性領域以上の電圧を印加する工程とすることで、該電子放出部の一部より高電位側に炭素を主成分とする被膜で被覆することで電子放出素子の駆動初期より特性が安定で、かつ素子電流が小さく、効率の高い電子放出素子の作成が可能となった。

【0199】さらには、入力信号に応じて電子を放出する電子源においては、安定で、かつ、歩どまりよく作成できるようになった。また、効率の向上により、消費電力が少なく周辺回路等の負担も軽減され安価な装置が提供できた。

【0200】また、画像形成装置においては、安定で制御された電子放出特性と効率の向上がなされ、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置、例えばカラーフラットテレビが実現された。

【図面の簡単な説明】

【図1】本発明に係る基本的な表面伝導型電子放出素子の構成を示す図。

【図2】本発明に係る表面伝導型電子放出素子の基本的な製造方法を説明するための図。

【図3】本発明に係る表面伝導型電子放出素子の特性評

価に用いる測定評価装置の図。

【図4】本発明に係るフォーミング処理における電圧波形の一例を示す図。

【図5】本発明に係る表面伝導型電子放出素子の素子電流及び放出電流の活性化処理時間に対する依存性を示す図。

【図6】本発明に係る表面伝導型電子放出素子の活性化処理による形態変化を示す図。

【図7】本発明に係る表面伝導型電子放出素子の放出電流、素子電流、及び素子電圧の関係の典型例を示す図。

【図8】本発明に係る電子源基板の構成を示す図。

【図9】本発明に係る画像形成装置の基本構成を示す図。

【図10】図10の画像形成装置に用いられる蛍光膜を示す図。

【図11】本発明の実施例1の表面伝導型電子放出素子を示す図。

【図12】本発明に係る基本的な表面伝導型電子放出素子の別の態様の構成を示す図。

20 【図13】本発明の実施例2の電子源の構成の一部を示す図。

【図14】図13のA-A'断面図。

【図15】本発明の実施例2の電子源の製造工程を説明するための断面図。

【図16】本発明の実施例2の電子源の製造工程を説明するための断面図。

【図17】本発明の実施例3の表示装置を説明するための図。

【図18】従来の表面伝導型電子放出素子の構成を示す図。

30 【図19】本発明の実施例4の画像形成装置の電子源基板の概略構成図。

【図20】本発明の実施例4の画像形成装置の電子源基板の概略構成図。

【図21】本発明の実施例4の画像形成装置におけるパネル構成図。

【図22】本発明の実施例4の画像形成装置を駆動するための電気回路を説明するためのブロック図。

【図23】本発明の実施例4の画像形成装置の駆動を説明するためのタイムチャート図。

【図24】本発明の実施例4の画像形成装置におけるパネル構成図。

【図25】本発明の実施例4の画像形成装置を駆動するための電気回路を説明するためのブロック図。

【図26】本発明の実施例4の画像形成装置の駆動を説明するためのタイムチャート図。

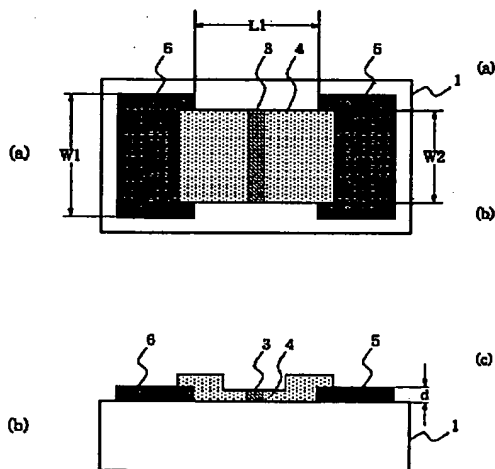
【符号の説明】

- 1 基板
- 2 電子放出部形成用薄膜
- 3 電子放出部

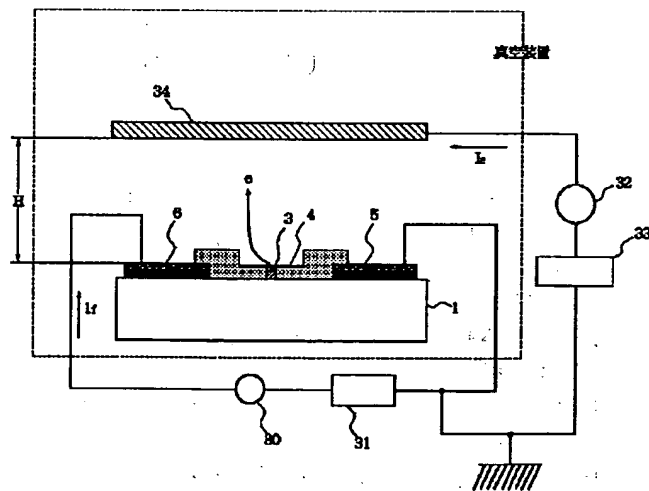
33

- 4 電子放出部を含む薄膜  
 5, 6 素子電極  
 84, 74 電子放出素子  
 82, 83 配線  
 85 結線  
 91 リヤプレート  
 92 支持枠

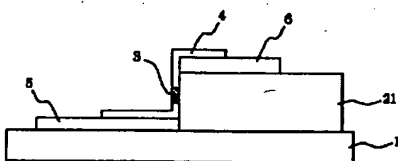
【図1】



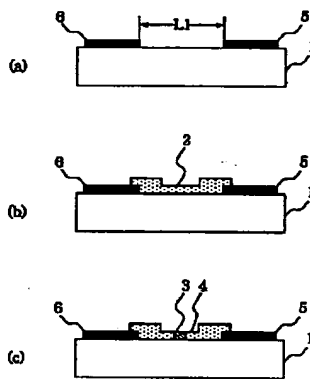
【図3】



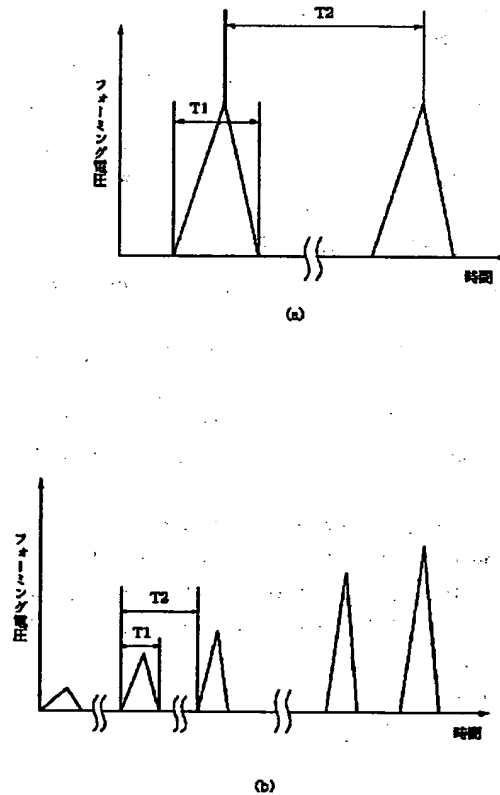
【図12】



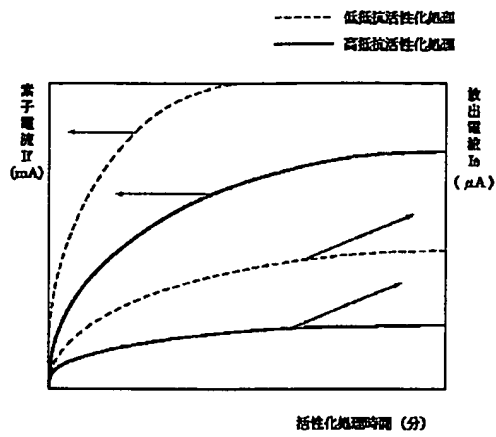
【図2】



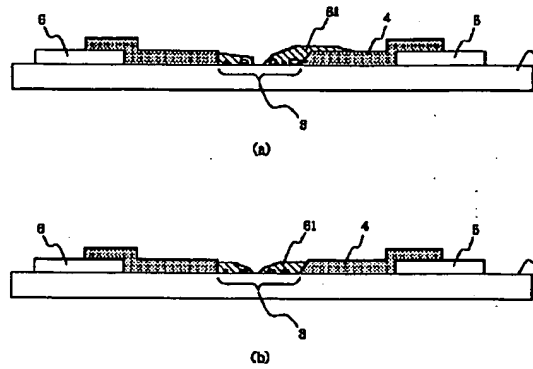
【図4】



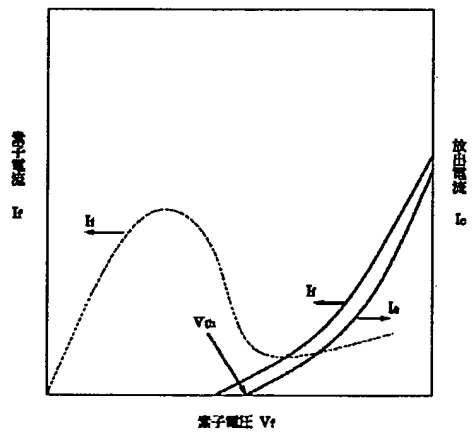
【図5】



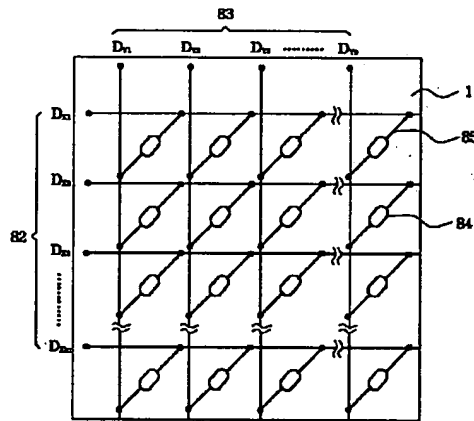
【図6】



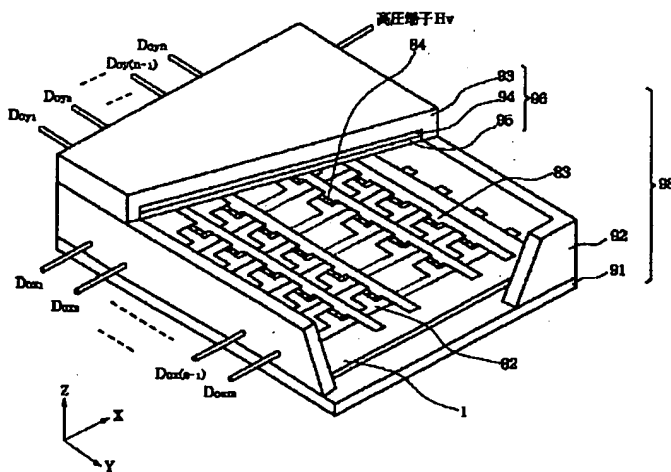
【図7】



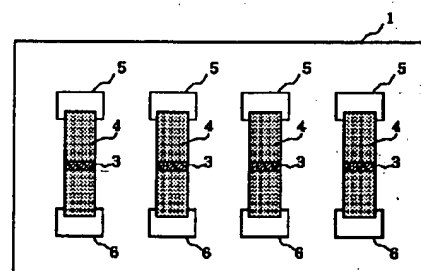
【図8】



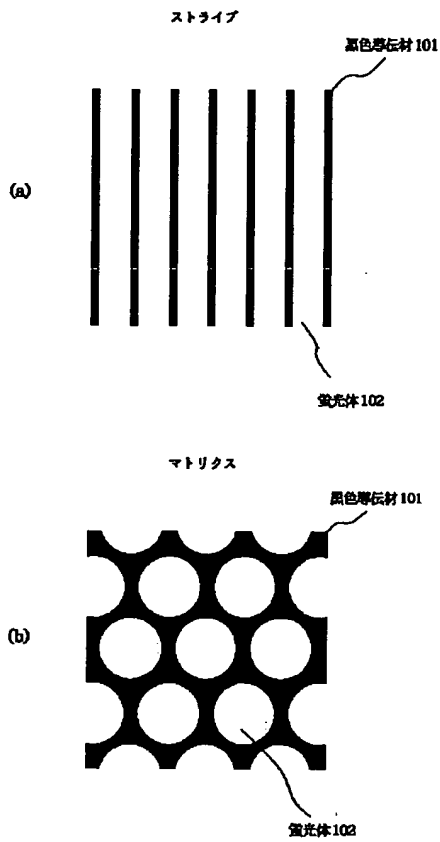
【図9】



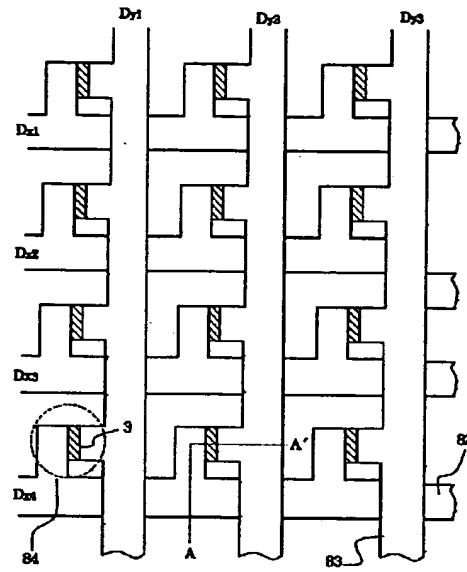
【図11】



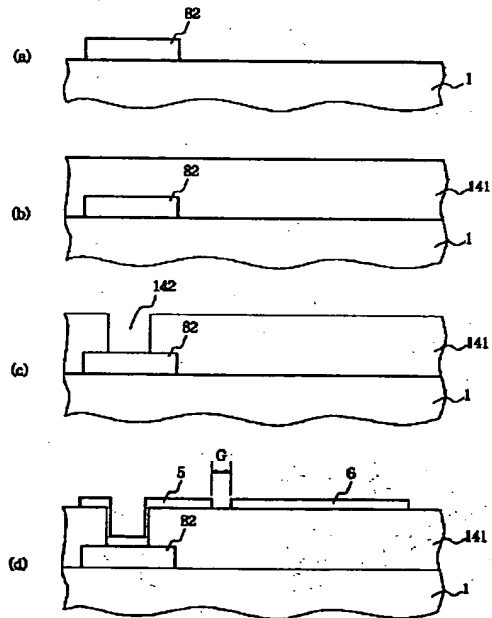
【図10】



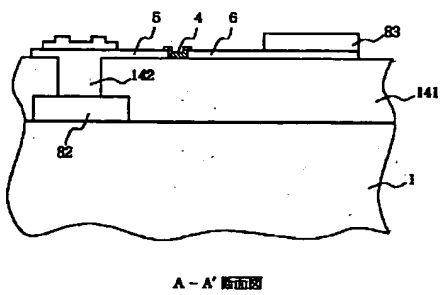
【図13】



【図15】



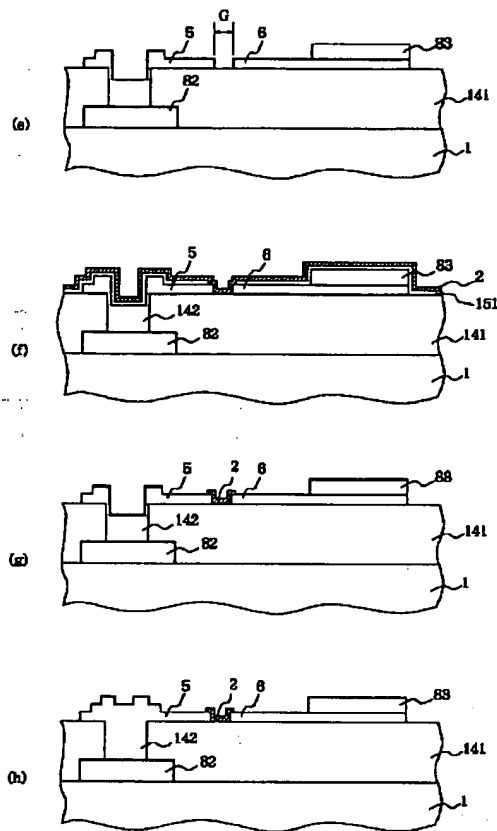
【図14】



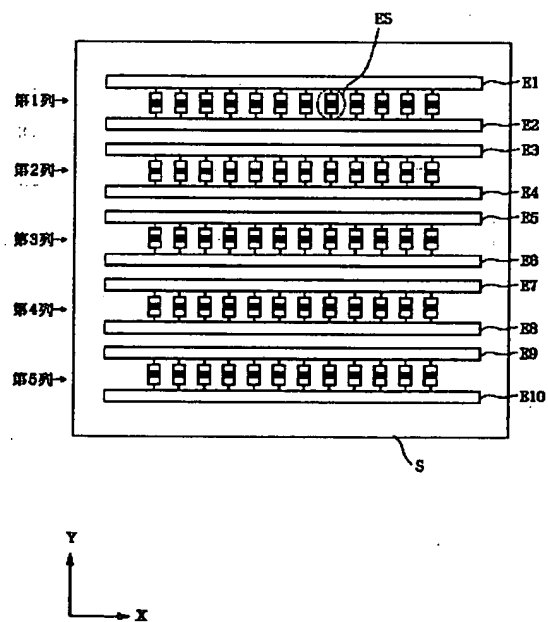
A-A' 断面図



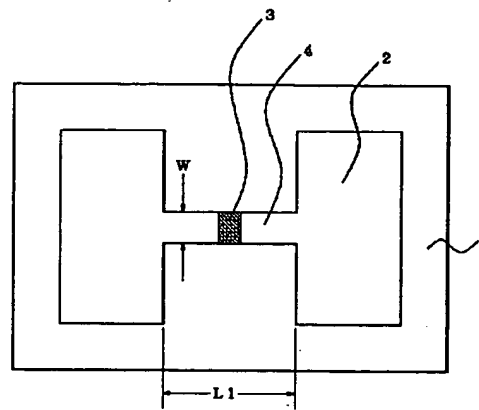
【図16】



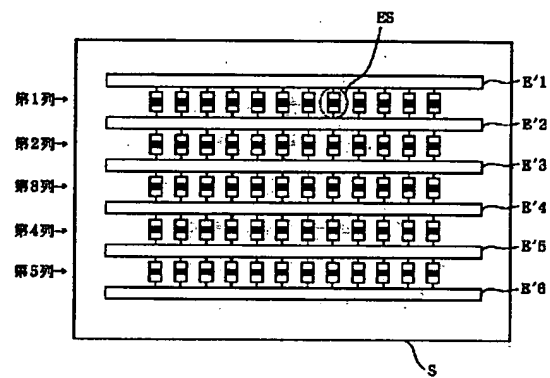
【図19】



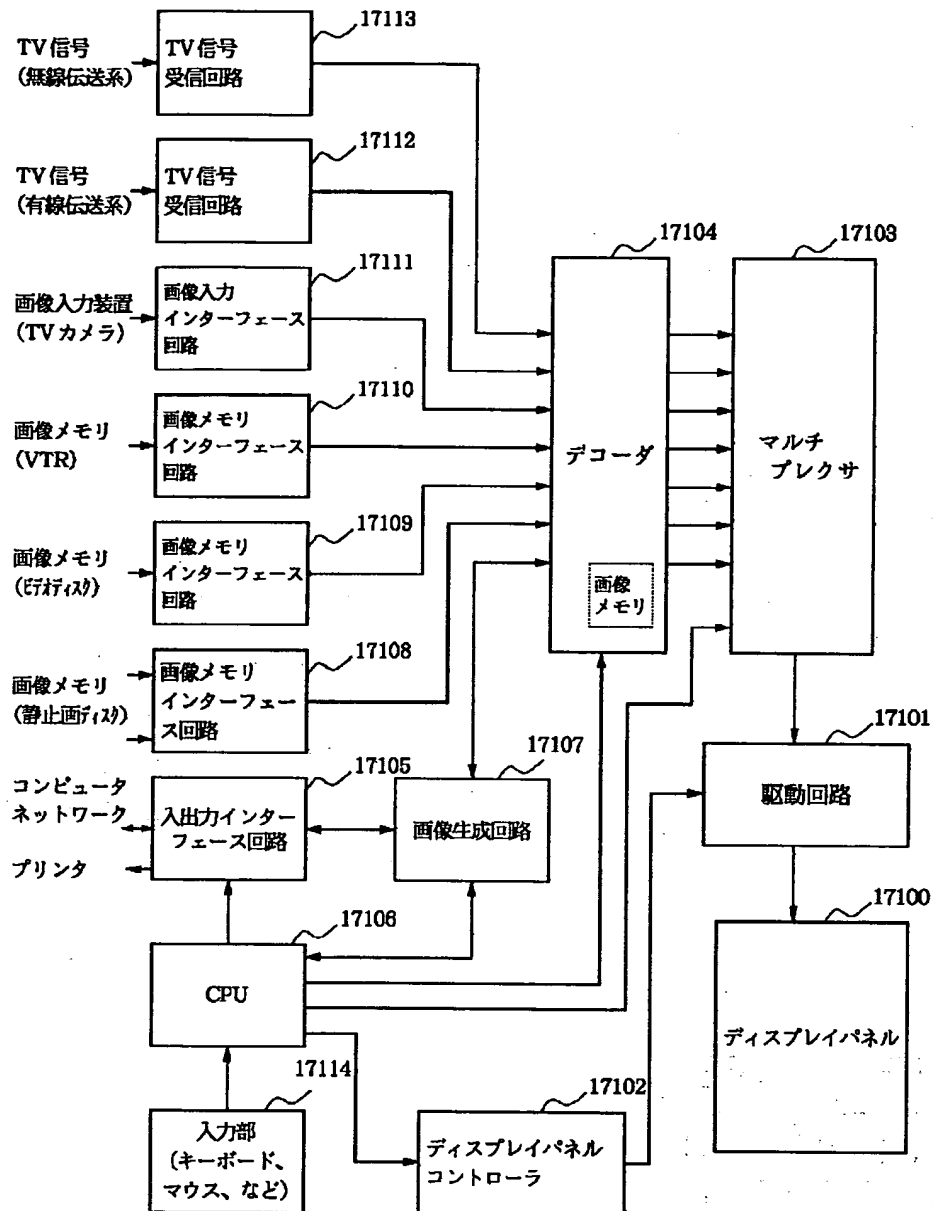
【図18】



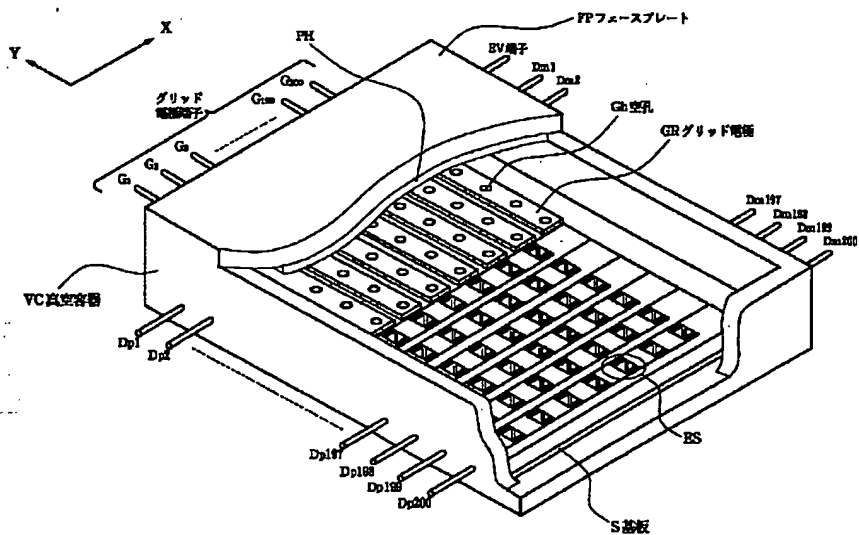
【図20】



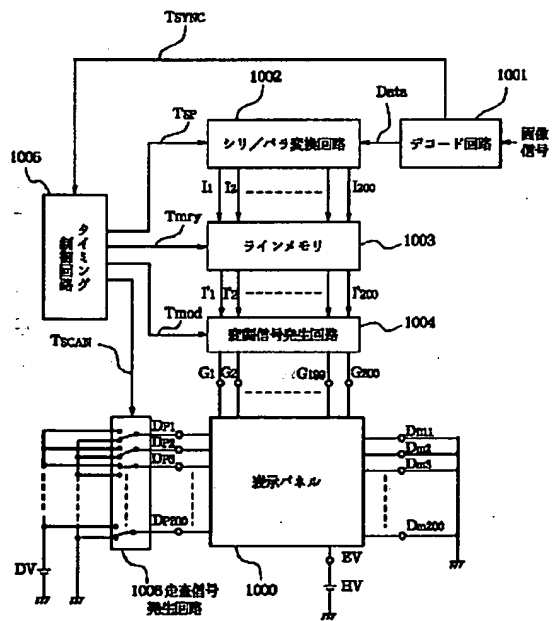
【図17】



【图 2 1】



【图 2 2】



【图 2 3】

